


MANUFACTURE FOR SEMICONDUCTOR DEVICE**Publication number:** JP53104156 (A)**Publication date:** 1978-09-11**Inventor(s):** MIYAO MASANOBU; SUEHIRO NAOJI; TOKUYAMA KON**Applicant(s):** HITACHI LTD**Classification:**

- international: *H01L 21/76; H01L 21/265; H01L 21/316; H01L 21/322;
H01L 21/329; H01L 21/331; H01L 29/70; H01L 29/73; H01L 21/70;
H01L 21/02; H01L 29/66; (IPC1-7): H01L 21/265; H01L 21/316;
H01L 21/322; H01L 21/76; H01L 21/95; H01L 29/70; H01L 29/91*

- European:**Application number:** JP19770018192 19770223**Priority number(s):** JP19770018192 19770223**Also published as:** JP62000570 (B) JP1402404 (C)

Abstract of JP 53104156 (A)

PURPOSE: To form the multiple layer type Si layer in which the polarity and specific resistance are rapidly changed, by single crystallizing the amorphous Si sunk on the surface of Si substrate.

Data supplied from the *esp@cenet* database — Worldwide

公開特許公報

昭53—104156

⑤Int. Cl. ²	識別記号	⑤日本分類	庁内整理番号	④公開	昭和53年(1978)9月11日
H 01 L 21/322		99(5) A 1	6370—57	発明の数	1
H 01 L 21/265		99(5) B 1	6684—57	審査請求	未請求
H 01 L 21/316		99(5) E 2	7514—57		
H 01 L 21/76		99(5) H 0	6513—57		
H 01 L 21/95		99(5) D 2	7021—57		
H 01 L 29/70		99(5) C 23	7377—57		
H 01 L 29/91					(全 7 頁)

④半導体装置の製造方法

②特 願 昭52—18192

②出 願 昭52(1977)2月23日

⑦発 明 者 宮尾正信

国分寺市東恋ヶ窪1丁目280番

地 株式会社日立製作所中央研
究所内

同

吉廣尚次

国分寺市東恋ヶ窪1丁目280番

⑦発 明 者 徳山巍

地 株式会社日立製作所中央研
究所内

国分寺市東恋ヶ窪1丁目280番

地 株式会社日立製作所中央研
究所内

⑦出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号

⑦代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 非晶質層を半導体基板内から表面まで形成したのち非晶質シリコンを沈積しアニールする事を特徴とする半導体装置の製造方法。

発明の詳細な説明

(1) 発明の利用分野

本発明は、シリコン基板表面上に沈積した非晶質シリコンを単結晶化させ、極性、比抵抗等の電気的性質が急峻に異なる多層型シリコン層を作製する方法に関するものである。基板と電気的性質が急峻に異なる薄い層を基板内及び表面に形成する事は半導体素子製作の根幹の問題であり、本発明は全ての半導体素子製作に広範囲に利用できる。

(2) 従来技術

半導体基板と電気的性質の異なる薄層を基板内に形成する場合は不純物拡散法及びイオン打込み法が、基板表面上に形成する場合はCVD法(chemical vapor deposition法)、真空蒸着法、

イオン・プレーティング法、スパッタリング法及びエビタキシャル成長法が用いられてきた。

不純物拡散法及びエビタキシャル成長法等においてはアニール温度が1000℃以上と高く、その為、不純物の拡散が生じ急峻に不純物濃度の異なる薄層は形成し難い。イオン打込み法においては900℃以下のアニール温度の場合、不純物分布は平坦ではなくガウス分布をなしており、また900℃以上のアニール温度の場合、不純物が拡散しその分布は平坦にはなるものの急峻ではなくなる。更に薄層の厚さは打込みエネルギーに制限され任意には選べない。

CVD法、真空蒸着法、スパッタリング法及びイオン・プレーティング法においては急峻に電気的性質が異なり任意の厚さを有する薄層を形成する事が可能であるが、アニール後にこれらの薄層が単結晶とはならず多結晶化する事が最も大きな欠点である。

(3) 発明の目的

本発明は、極性、比抵抗等の電気的性質が急峻

に異り任意の厚さを有する単結晶シリコン薄層が深さ方向に多数個並んだ多層型シリコン層を形成する事及びそれらの多層型シリコン層が多結晶シリコンに固められた構造を形成する事を目的としている。

(4) 発明の総括説明

我々はイオン打込み等の手段を用いてシリコン基板内から表面までを非晶質化したシリコン基板にCVD法、真空蒸着法等の手段を用いて非晶質シリコンを沈積した試料を650℃以上の温度でアニールした所、非晶質シリコン層が単結晶化している事をみ出した。

以上の事実に基づいた本発明の原理は第1図に示す如く3つの工程より成立する。

(1) シリコン基板1内にイオン打込みあるいはイオン照射等を行い基板内から表面層までを非晶質化して非晶質層2を形成する。イオン打込み法を用いてSi基板を非晶質化する場合、Si、ネオン、アルゴン等の如き電氣的に不活性なイオンを打込んでも良くあるいは、りん(P)、ボロン(B)、

ひそ(As)等の如き電氣的に活性なイオンを打込んでも良い。

後者のイオンを用いた場合、打込み層はアニール後には基板と極性あるいは比抵抗の異なる層として利用できる。

(2) Si基板表面上にCVD法、真空蒸着法、スパッタリング法、イオン・プレーティング法等の手段を用いて非晶質薄膜Si3を沈積する。この場合、ドーピング種となる不純物を同時に沈積させておく。

(3) 650℃以上の温度でアニールする。

以上の3工程を更に詳しく説明する。

工程(1)は単結晶の内部に単結晶層と非晶質層との界面を作り出す事を目的としている。この際、非晶質層2が基板1内部から基板1表面にまで連続的に達している事が必要である。工程(1)にイオン打込み法を用いる場合、上記の条件を満足させるにはある条件が必要である。

すなわちSi基板に非晶質層を形成するのに必要な打込み量(臨界打込み量)は打込み不純物イオン

及び打込みエネルギーにより異なるがその条件は電子線回折、光反射法等を用いた実験及び計算より求められ第2図及び第3図に示してある。第2図は各種不純物イオンの質量数を横軸に取り、それらのイオンを50keVでSiに打込んだ時Si基板内に非晶質層が形成されるに必要な臨界打込み量を縦軸に示したものである。従つて工程(1)においては第2図に示される実験より多い打込み量が必要である。第3図は質量数が31のりんイオンを例にとり非晶質層が基板表面にまで形成される臨界打込み量の打込みエネルギー依存性を求めたものであり、工程(1)においてはこの臨界打込み量以上の打込み量が必要とされる。

工程(2)は工程(1)が終了した基板表面上に各種の手段を用いて不純物をドーピングしつつ非晶質薄膜Si3を沈積する工程である。各種の手段とはCVD法、真空蒸着法、スパッタリング法、イオン・プレーティング法等でありこれらの手段を通常の如く用いれば良く何ら制限すべき条件はない。

工程(2)は連続的に多数回行う事が可能であり、

各沈積ごとにドーピングする不純物種、不純物濃度を変えておけば工程(3)のアニール終了後には極性、比抵抗等性質の異なる多層型Siが作製される。

工程(3)はアニールを行う事により工程(1)で基板内に形成した非晶質層及び工程(2)で基板表面に形成した非晶質薄膜Si層をエピタキシャル回復させ単結晶化させ層2'、3'を形成する事が目的である。

アニール温度はエピタキシャル回復が生じる650℃以上であれば特に制限はない。しかしアニール温度が900℃を越えると不純物の拡散が生じ不純物分布がぼやけ急峻に電氣的性質の異なる多層型シリコン層は形成されない。

従つて不純物分布を急峻に保つ事が要求される素子の製造においては、アニール温度を650℃～900℃の間に限定する事が必要である。

CVD法等の手段で形成した非晶質Siが、この様な方法で単結晶化する事は以下の実施例において示される通りであるが、この事は非晶質層の単結晶化には単結晶層と非晶質層との界面の連続性が重要な役割りを果たす事を示すものである。すな

わち汚染等の全くない理想的な非晶質層と単結晶層との界面を基板内に新しく作り出し、かつその非晶質層が表面まで連続につながっている事が本発明の要点である。

(5) 実施例

以下、本発明を実施例を参照して詳細に説明する。

実施例の工程図を第4図に示す。P型10 Ω ・cmの(100)の面方位を用する2枚のシリコン基板41に2000ÅのSiO₂膜42を熱酸化法で形成した。SiO₂膜にホトエッチ工程を用い約10 μ m \times 10 μ mの穴をあけたのち、各々の基板に50keVで加速したりんイオン(P⁺)あるいはシリコンイオン(Si⁺)を3 \times 10¹⁴cm⁻²打込んだ。

SiO₂膜でおおわれていないSi基板の部分には、P⁺打込みの場合、非晶質層43が、Si⁺打込みの場合非晶質層43'が、基板41表面から600 \pm Åの深さまで形成された。

基板上のSiO₂膜を弗酸を用いて除去したのちこれらの基板にCVD法を用いて非晶質シリコン

を沈積した。CVDは基板を430℃に保持しアルゴンで希釈した1%のSiH₄を0.5 ℓ /min、1%のB₂H₆を0.5 ℓ /minの速度で混合して流した。またキャリアガスとしてはArを10 ℓ /minで流し反応時間は3分とした。上記のCVD法によりSi基板には600Åの非晶質シリコン44が形成された。

非晶質シリコン44が形成されたのちSiH₄、アルゴンはそのままに保ちB₂H₆のガスを止め直にPH₃のガスに切り換えた。PH₃は1%の濃度を0.5 ℓ /minの速度で流し反応時間は3分とした。上記のCVDにより非晶質シリコン層45が300Å形成された。

上記の試料を乾燥窒素中650℃で30分間アニールして全工程を終了した。全工程終了後にはイオン打込みされた領域43あるいは43'上に沈積していた非晶質シリコン44及び45は各々3 \times 10¹⁸cm⁻³の不純物濃度を有するP型単結晶47及び2 \times 10¹⁸cm⁻³の不純物濃度を有するN型単結晶48に成長していた。一方、イオン打込みされな

かつた領域上に沈積していた非晶質シリコンは多結晶49に成長していた。

すなわち基板内部から表面までを非晶質化したSi基板の領域上に沈積した非晶質シリコンのみが単結晶化していた。

又、Si⁺打込みを行つた例では形成された非晶質層43'はアニール後にはもとのP型単結晶にもどり、P⁺打込みにより形成された非晶質層43は不純物濃度が5 \times 10¹⁸cm⁻³を有するN型単結晶になつていた。

第5図(a)に全工程が終了したのちの断面(A)の、第5図(b)に全工程が終了したのちの断面(B)の不純物濃度分布を示す。すなわち断面(A)においては極性、不純物濃度の異なる単結晶層48、47、46が、また断面(B)においては単結晶層48、47が形成された。

本発明は電気的性質の異なる薄膜を基板内部あるいは素面に多層型に一度の熱処理において作り出す事のできるものであり、更には実施例からも明かな如く平面内に局在的に非晶質層を形成したの

ちに非晶質シリコン層を沈積しアニールする事により平面内に多結晶Siに囲まれた単結晶層の領域を形成する事もできる。多結晶Siは単結晶Siに比して抵抗値が極めて高く又、不純物の拡散、エッチング及び酸化の速度も速い等の性質を有している。

従つて本発明及び多結晶Siの性質を有効に利用する事により、多結晶Si、酸化膜あるいは空気で素子間を分離する事更には多結晶Siあるいは酸化膜で素子の表面及び側面を保護する事(ハッシュインジョン)は容易であり、本発明の適用範囲を更に広げる事が可能である。

次に、本発明及び多結晶層の抵抗値の高い事を利用して素子間分離を行つた例を第6図及び第7図に示す。ここでは例としてバイポーラ・トランジスタを取り上げたが本方法がMOSトランジスタにも適用できる事は自明である。

第6図(A)及び第7図(A)は本発明を利用して一平面内に作製した多結晶で囲まれた単結晶を示すものである。その作製法は第4図で説明した通りで

ある。

すなわち、ほう素をドーブしたP型の比抵抗が $10\Omega\cdot\text{cm}$ を有する(100)面のSi基板61及び71上に酸化膜を形成しホトエッチング工程を用い約 $10\mu\text{m}$ 大きさの穴をあけたのちイオン打込み法を用いてシリコン基板を選択的に非晶質化したのち酸化膜を除去し、CVD法を用いりん(P)をドーブしつつ非晶質Siを沈積したのちアニールした工程までを示すものである。

CVD法による非晶質シリコン形成の際、添加する、りんの濃度は $2\times 10^{18}\text{cm}^{-3}$ とし非晶質シリコン層の厚さは $2\mu\text{m}$ とした。 650°C で30分間アニールしたのちには非晶質シリコンは単結晶シリコン63あるいは73及び多結晶シリコン62あるいは72に成長していた。また、単結晶シリコンの比抵抗は $1\Omega\cdot\text{cm}$ 、多結晶シリコンの比抵抗は $4000\Omega\cdot\text{cm}$ であつた。

CVD及びアニールに先立ちシリコン基板表面を選択的に非晶質化する為のイオン打込みの工程において第6図(A)の場合にはSi⁺イオンを第7図(A)

の場合にはP⁺イオンを各々 50keV で $3\times 10^{18}\text{cm}^{-2}$ 打込んだ。アニール後にはSi⁺イオン打込み層は基板と同じ性質を有する単結晶層にもどるがP⁺イオン打込み層はn⁺層となる。実施例においてn⁺層710は活性化されたPを $2\times 10^{18}\text{cm}^{-2}$ を含み層抵抗は $35\Omega/\square$ の値を示した。

ところで、この様なn⁺層はエミッタ、コレクタ間の抵抗を減少させる為、必要なものである。本発明においては新しい工程を付加する事なくn⁺層が形成しうる事も1つの利点である。

以上の工程終了後には $1\Omega\cdot\text{cm}$ の比抵抗を有するn型単結晶63、73及びn⁺層710は各々、 $4000\Omega\cdot\text{cm}$ の抵抗を有する多結晶シリコン62あるいは72に囲まれ他の領域とは電氣的に絶縁されている。第6図(B)及び第7図(B)は63、73上に通常のプロセスを用いてパイポーラ・トランジスタを形成した完成図を示すものである。65、75はP型のベース、66、76はn型のエミッタ、64、74はn型のコレクタである。又67、77はエミッタ、ベース、コレクタに選択的に不

純物をドーブする為に用いた熱酸化膜、68、78は電極である。尚、本実施例においてはCVD法による非晶質Si層を形成する際に同時にりんを $2\times 10^{18}\text{cm}^{-3}$ ドーブしておいた為、62及び72は不純物がドーブされ比抵抗が $4000\Omega\cdot\text{cm}$ の値を示す多結晶シリコンとなつている。

62及び72を不純物がドーブされていない多結晶層とし電氣的絶縁性を更に向上させる事も当然可能である。この場合には、CVDの際に不純物をドーブせず非晶質Siを形成しておき、しかるのち62、72の領域を酸化膜等のマスクを用いて単結晶部63、73のみに選択的に不純物拡散を行なえば良い。

また、多結晶Siの化学エッチ速度の早い事を利用して単結晶層63、73を絶縁物分離する事も可能である。この場合第6図(A)あるいは第7図(A)の工程終了後、多結晶Si62あるいは72のみを選択的にエッチングする事が可能であり、単結晶63、73は空気により他の素子とは分離される事になる。

本発明及び多結晶Siの酸化速度が単結晶Siに比して早い事を利用して選択酸化型の素子、すなわちLOCOS (LOCAl Oxidation of Silicon) 構造の素子間分離を行つた例を第8図に示す。

第8図(A)は本発明を利用してP型のシリコン基板81上に選択的に単結晶83、多結晶82を構成した所までであり、第6図(A)と同じ工程である。ここで83はn型 $1\Omega\cdot\text{cm}$ の比抵抗をもつ単結晶であり、83及び82は $4000\Omega\cdot\text{cm}$ の比抵抗を有し厚さは $1\mu\text{m}$ の多結晶シリコンである。

第8図(B)は前記工程の終了した試料を酸化した工程までである。この場合、多結晶Siと単結晶Siの酸化速度が異り多結晶Siにおいて約1.4倍と早い為、多結晶Si部が選択的に酸化される。今回の実施例においては常圧水蒸気中で 900°C 、1750分の酸化を行い 1μ の厚さを有する多結晶Si層82の全てを酸化し $2.5\mu\text{m}$ の酸化膜とした。この場合、単結晶Si層83上には $1.8\mu\text{m}$ の酸化膜が形成されその下の領域には厚さが $0.3\mu\text{m}$ の単結晶Si層85が残つた。

第8図(C)は前記工程の終了した試料の単結晶Si 85上の酸化膜を通常の方法で除去した工程までである。第8図(C)までの工程において、酸化膜86により他とは電気的に絶縁された単結晶Si層85が形成された。今回の実施例において、最大22 μm の厚さを有する酸化膜を除去する必要がある。その除去は緩衝HFエッチ液；10ccHF(58%)、100ccNH₄F溶液(1ポンドNH₄F/680ccH₂O)を用いて40分間エッチした。

第8図(D)は酸化膜86により絶縁された単結晶Si上にバイポーラ・トランジスタを通常のプロセスにより形成した工程までである。87、88、89は各々、コレクタ、ベース、エミッタであり810はそれらを形成する際に不純物を選択的に拡散するに用いた酸化膜であり811は電極である。

ところで本実施例では多結晶Siと単結晶Siの酸化速度の違いを利用して素子間分離を行った。一般に単結晶Si及び多結晶Siではりん(P)濃度が高くなると酸化速度が早くなる事及び多結晶Si中の

Pの拡散係数は単結晶中のそれと比して約10倍と大きい事は良く知られている。これらの事実を本発明と組み合わせて素子間の分離をより効果ならしめる事は可能である。

例えば第8図(A)の工程終了後、単結晶Si 83上にSiO₂あるいはSi₃N₄等を形成しそれをマスクとして単結晶83とは異なる種性をもつ不純物を拡散する。例えば1100°Cで120分間ほう素を熱拡散した場合、多結晶内には2 μm のP⁺層が形成される。従つてn型単結晶層83とp型多結晶層82とはPN接合を形成しその為n型単結晶層83は他の素子と絶縁する事ができる。

また一方、第8図(A)の工程終了後、単結晶Si 83上にSiO₂あるいはSi₃N₄等を形成しそれをマスクとしてPを多結晶Si 82のみに拡散したのち試料を酸化しLOCOS構造を能率良く形成する方法、あるいは第8図(A)の工程終了後試料全面にPを拡散したのち試料を酸化及びエッチングしLOCOS構造を形成する方法等本発明を応用する事により多くの素子分離の方法も可能である。

第6図および第7図においては多結晶Siの抵抗値が高い事を利用して素子間分離を行い、また第8図においては多結晶Siが単結晶Siに比して酸化速度が早い事あるいは不純物の拡散係数が大きい事を利用してLOCOS構造の素子間分離をしたのちバイポーラ・トランジスタあるいはMOSトランジスタを形成したが、これらの技術を応用し、素子の周辺が多結晶Siあるいは酸化膜で保護された、いわゆるパッシベーション・メサ型の素子を形成する事は極めて容易である。

本発明を用いたパッシベーション・メサ型素子の製作をダイオードを例に用いて第9図に説明する。

第9図(A)は通常のプレーナ型のダイオードであり、p型10 $\Omega \cdot \text{cm}$ の比抵抗を有する単結晶Si 91内にボロンを熱拡散し深さ1 μm 、表面濃度10¹⁸ cm⁻³のn型層92を形成したものである。プレーナ型ダイオードの場合、耐圧はn型層92とp型層91の形状で制限され50 V程度と低く、また接合側壁部に大きな容量をもつ事が欠点であ

る。

第9図(B)は第9図(A)のダイオードをメサ型にエッチし側面を酸化膜93で保護したものである。この場合、耐圧はn型層92とp型層91の濃度でのみ制限され、その値は300 Vと改善されかつ容量も減少する。しかしメサ型ダイオードの場合はプレーナ構造に比してメサ・エッチ、酸化膜形成、ホト・エッチと工程数の増す事が欠点である。第9図(C)は本発明を用いたパッシベーション・メサ構造のダイオードであり、工程は第8図に示したLOCOS構造と同じである。すなわちp型10 $\Omega \cdot \text{cm}$ の比抵抗を有する単結晶Si 91上に本発明を用いりんを10¹⁸ cm⁻³含む単結晶層と多結晶層を1 μm の厚さで形成した。そののち常圧水蒸気中900°C、1800分間の酸化を行い、多結晶層の全て及び多結晶下の単結晶0.1 μm を28 μm の酸化膜とし又多結晶と並列する1 μm 厚の単結晶の0.75 μm を20 μm の酸化膜とした。そののち20 μm の酸化膜を除去して全工程を終了した。94は0.25 μm のn型単結晶層又95は0.8 μm の酸化

膜である。本実施例のダイオードは耐圧 300V また容量もメサ型ダイオードと同等である事が確認された。

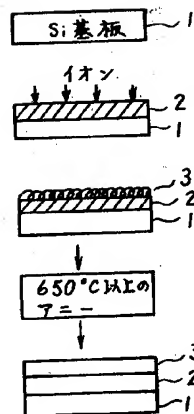
すなわち本発明を用いる事によりメサ型ダイオードより工程数が少く同等の性能を有するダイオードの製作が可能となつた。

図面の簡単な説明

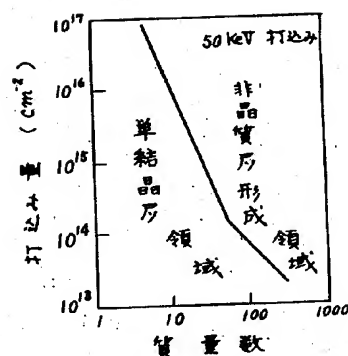
第 1 図は本発明の原理的手順を示す工程図、第 2 図はシリコン基板を非晶質化に必要な打込み量と打込み種の質量数との関係を示す図、第 3 図は質量数が 16 の場合にシリコン基板を非晶質化に必要な打込み量と打込みエネルギーの関係を示す図、第 4 図は本発明を用いた実施例の手順を示す工程図、第 5 図(a)、(b)は各々、第 4 図中の断面(A)、(B)における不純物分布を示す図、第 6 図、第 7 図、第 8 図は本発明の実施例を示す図、第 9 図は本発明の効果を説明するための図である。

代理人 弁理士 薄田利幸

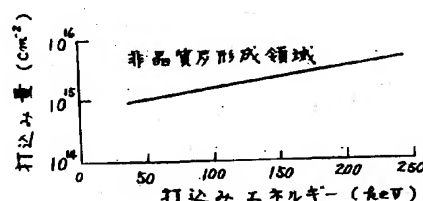
第 1 図



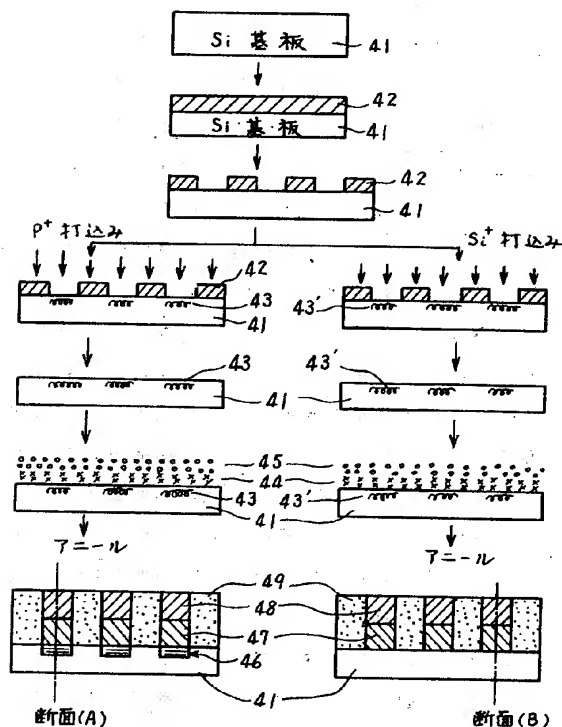
第 2 図



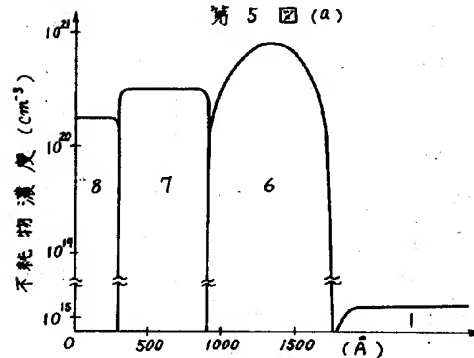
第 3 図



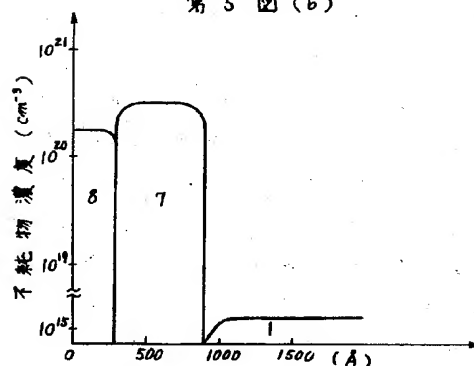
第 4 図



第 5 図(a)

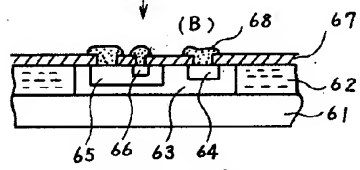
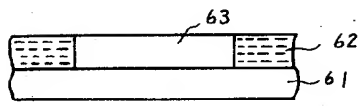


第 5 図(b)



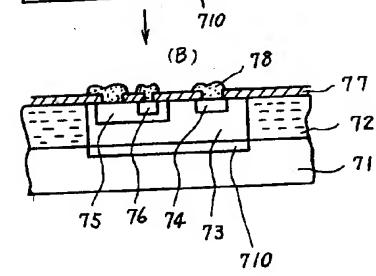
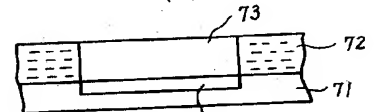
第 6 図

(A)



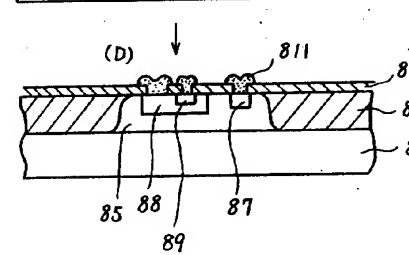
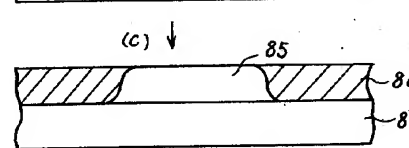
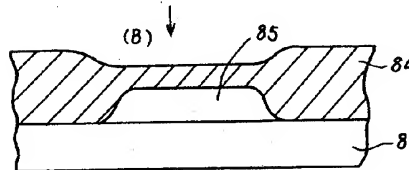
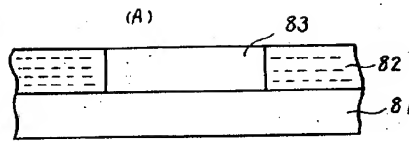
第 7 図

(A)



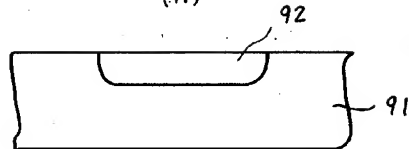
第 8 図

(A)

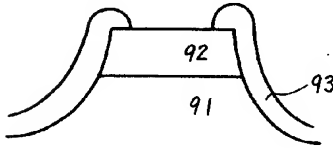


第 9 図

(A)



(B)



(C)

